

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-307097

(43)Date of publication of application : 28.11.1997

(51)Int.Cl.

H01L 29/43
H01L 21/28
H01L 21/338
H01L 29/812

(21)Application number : 08-146563

(71)Applicant : SONY CORP

(22)Date of filing : 16.05.1996

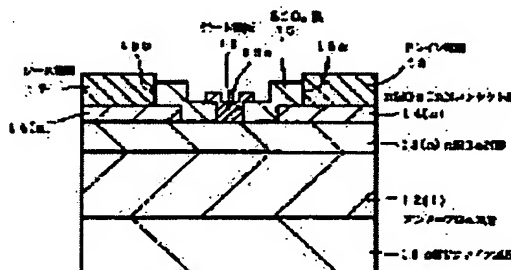
(72)Inventor : KAWAI HIROHARU

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To effectively bring electrodes into contact with a GaN layer with low contact resistance.

SOLUTION: In a GaN MESFET, the source electrode 17 and the drain electrode 18 are provided on an n-type GaN layer 13 as a channel layer through an n-type GaInN contact layer 14, and it is brought into ohmic-contact with the n-type GaInN contact layer 14. The n-type GaInN contact layer 14 is selectively grown on the n-type GaN layer 13 by means of a MOCVD method.



LEGAL STATUS

[Date of request for examination] 23.01.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3449116

[Date of registration] 11.07.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-307097

(43) 公開日 平成9年(1997)11月28日

(51) Int. Cl. °	識別記号	庁内整理番号	F I	技術表示箇所
H01L 29/43			H01L 29/46	H
21/28	301		21/28	H
21/338		9447-4M	29/80	F
29/812				

審査請求 未請求 請求項の数7 FD (全7頁)

(21) 出願番号 特願平8-146563

(22) 出願日 平成8年(1996)5月16日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 河合 弘治

東京都品川区北品川6丁目7番35号 ソニー株式会社内

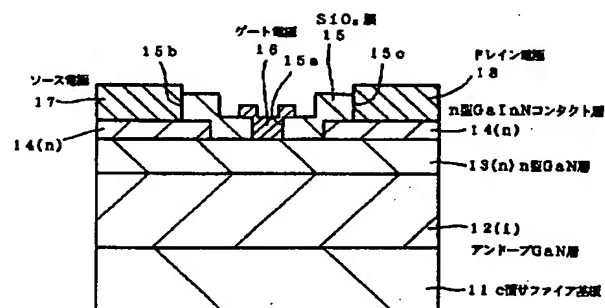
(74) 代理人 弁理士 杉浦 正知

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 実効的にGaN層に対して電極を低接触抵抗でオーミック接触させる。

【解決手段】 GaN MESFETにおいて、チャネル層としてのn型GaN層13上にn型GaInNコンタクト層14を介してソース電極17およびドレイン電極18を設け、n型GaInNコンタクト層14にオーミック接触させる。n型GaInNコンタクト層14は、MOCVD法によりn型GaN層13上に選択成長させる。



【特許請求の範囲】

【請求項1】 GaN層と、

上記GaN層上の、上記GaN層と電氣的に接続された電極とを有する半導体装置において、
上記GaN層と上記電極との間に、少なくともGa、InおよびNを含む半導体層が設けられ、
上記半導体層に上記電極がオーミック接触していることを特徴とする半導体装置。

【請求項2】 上記GaN層はn型であることを特徴とする請求項1記載の半導体装置。

【請求項3】 上記半導体層は上記GaN層上に選択的に成長されたものであることを特徴とする請求項1記載の半導体装置。

【請求項4】 上記半導体層はn型であることを特徴とする請求項1記載の半導体装置。

【請求項5】 上記半導体層はGaInN層であることを特徴とする請求項1記載の半導体装置。

【請求項6】 上記GaN層のキャリア濃度は $(1 \sim 5) \times 10^{17} \text{ cm}^{-3}$ であることを特徴とする請求項2記載の半導体装置。

【請求項7】 上記電極は電界効果トランジスタのソース電極またはドレイン電極であることを特徴とする請求項1記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置に関し、特に、GaNを用いた半導体装置に適用して好適なものである。

【0002】

【従来の技術】GaNはその禁制帯幅が3.4eVと大きく、間接遷移伝導帯はさらにその上1.5eV以上のところにあると考えられている。また、GaNの飽和速度は約 $2.5 \times 10^7 \text{ cm/s}$ でSi、GaAsおよびSiCより大きく、破壊電場は約 $5 \times 10^6 \text{ V/cm}$ で、SiやGaAsより一桁以上大きく、SiCより大きい。このような理由により、GaNは、高周波、高温、大電力用半導体素子の材料として大きな可能性を有することが予想されてきた。そして、近年、試作例も見られるようになってきた（例えば、Appl. Phys. Lett., 62(15), 1786(1993) およびAppl. Phys. Lett., 65(9), 1121(1994)）。

【0003】図10および図11は従来のGaNトランジスタを示す。これらのGaNトランジスタは、GaAsトランジスタにおいて用いられているMES (Metal-Semiconductor) 構造をそのまま適用した電界効果トランジスタ (FET) である。

【0004】図10に示す従来のGaNトランジスタにおいては、c面サファイア基板101上にアンドープGaN層102およびチャネル層としてのn型GaN層103が順次積層され、n型GaN層103上にゲート電

極104、ソース電極105およびドレイン電極106が設けられている。ここで、ゲート電極104はn型GaN層103とショットキ接触し、ソース電極105およびドレイン電極106はn型GaN層103とオーミック接触している。

【0005】図11に示す従来のGaNトランジスタにおいては、c面サファイア基板201上にチャネル層としてのn型GaN層202および電子供給層としてのn型AlGaN層203が順次積層されている。n型AlGaN層203は所定形状にパターンニングされている。そして、このn型AlGaN層203上にゲート電極204が設けられているとともに、このn型AlGaN層203の両側壁にそれぞれ接触するようにソース電極205およびドレイン電極206がn型GaN層202上に設けられている。ここで、ゲート電極204はn型AlGaN層203とショットキ接触し、ソース電極205およびドレイン電極206はn型GaN層202およびn型AlGaN層203とオーミック接触している。このGaNトランジスタは、いわゆる高電子移動度トランジスタ (High Electron Mobility Transistor, HEMT) と類似の構造を有するが、ドーピングされた層であるn型AlGaN層202をチャネル層に用いていることが通常のHEMTと異なる。

【0006】ところで、通常のGaAsトランジスタにおいては、ソース電極およびドレイン電極のオーミック接触性を高めるために、Siのイオン注入法および活性化アニール法を用いてソース領域およびドレイン領域のキャリア濃度を $2 \times 10^{18} \text{ cm}^{-3}$ 以上に高めている。これにより、ソース電極およびドレイン電極の接触抵抗は $10^{-8} \sim 10^{-9} \Omega \text{ cm}^2$ 台と低くなり、実用的な高周波トランジスタを得ることができる。

【0007】

【発明が解決しようとする課題】GaNトランジスタにおいても、GaAsトランジスタと同様にイオン注入法による高濃度不純物ドーピングがなされれば、上述したGaNの特徴が発揮され、高性能、高速、大電力素子が実現されるものと考えられる。しかしながら、イオン注入法によりGaNに不純物をドーピングした場合には高濃度のキャリアが生成されにくいことが報告されている（例えば、Appl. Phys. Lett., 67(10), 1435(1995)）。また、もしGaNにおいても、GaAs系材料のように金属との間で合金反応が容易に生じるならば、不純物ドーピングされた金属との熱的合金化により低抵抗なオーミック接触が得られるはずであるが、GaNとの熱的合金化は未だ実現されていないのが現状である。

【0008】以上のことにより、ソース電極およびドレイン電極の比較的大きな接触抵抗により、GaNを用いた素子本来の性能を発揮することができなかった。

【0009】したがって、この発明の目的は、GaN層上に電極をオーミック接触させる場合に、その電極の接

触抵抗を十分に低くすることができる半導体装置を提供することにある。

【0010】

【課題を解決するための手段】上記目的を達成するために、この発明は、Ga_{0.5}N_{0.5}層と、Ga_{0.5}N_{0.5}層上の、Ga_{0.5}N_{0.5}層と電氣的に接続された電極とを有する半導体装置において、Ga_{0.5}N_{0.5}層と電極との間に、少なくともGa、InおよびNを含む半導体層が設けられ、半導体層に電極がオーミック接触していることを特徴とするものである。

【0011】この発明において、Ga_{0.5}N_{0.5}層および半導体層は、典型的にはいずれもn型である。ここで、n型Ga_{0.5}N_{0.5}層のキャリア濃度は、例えば $(1\sim5)\times10^{17}\text{cm}^{-3}$ である。また、半導体層の具体例をいくつか挙げると、GaInN層、AlGaInN層、BGaInN層などである。この半導体層は、典型的にはGa_{0.5}N_{0.5}層上に選択的に成長されたものである。

【0012】この発明において、電極は、典型的には、電界効果トランジスタのソース電極またはドレイン電極である。

【0013】上述のように構成されたこの発明による半導体装置においては、Ga_{0.5}N_{0.5}層と電極との間に設けられている、少なくともGa、InおよびNを含む半導体層の禁制帯幅はGa_{0.5}N_{0.5}の禁制帯幅に比べて十分に小さい（例えば、InNの禁制帯幅は最低で1.9eVである）ことなどにより、この半導体層は、キャリア濃度を十分に高くすることができるとともに、表面準位はGa_{0.5}N_{0.5}より伝導帯に近いところにある。事実、GaInNは、アンドープでも $2\times10^{19}\text{cm}^{-3}$ 以上の高いキャリア濃度が得られることもあることが報告されている（Appl. Phys. Lett., 59(18), 2251(1991)）。

【0014】以上のことより、少なくともGa、InおよびNを含む半導体層を介した低ショットキ障壁を通じたトンネル電流により、実効的にGa_{0.5}N_{0.5}層に対する電極の低接触抵抗のオーミック接触を実現することができる。

【0015】

【発明の実施の形態】以下、この発明の実施形態について図面を参照しながら説明する。

【0016】以下の実施形態においては、c面サファイア基板上にGa_{0.5}N_{0.5}、AlGa_{0.5}N_{0.5}、GaIn_{0.5}N_{0.5}などの窒化物系III-V族化合物半導体からなる層を積層した構造を用いるが、まず、これらの窒化物系III-V族化合物半導体を有機金属化学気相成長（MOCVD）法により成長させる一般的な方法について説明する。

【0017】この窒化物系III-V族化合物半導体の成長の際の原料ガスとしては、Ga原料としてトリメチルガリウム（TMG）、Al原料としてトリメチルアルミニウム（TMA）、In原料としてトリメチルインジウム（TMIn）、N原料としてアンモニア（NH₃）、n型不純物のドーパントガスとしてシラン（S

iH₄）を用いる。そして、よく知られているように、まず、c面サファイア基板上に低温でAlNまたはGa_{0.5}N_{0.5}からなるバッファ層を成長させた後、NH₃ガスを流しながら成長温度を1000℃前後に上昇させ、バッファ層上にGa_{0.5}N_{0.5}、AlGa_{0.5}N_{0.5}などを成長させる。ここで、GaIn_{0.5}N_{0.5}などのInを含む窒化物系III-V族化合物半導体を成長させる場合には、成長温度を700～800℃に下げ、雰囲気ガスは窒素（N₂）とすることも、よく知られている。

【0018】次に、n型Ga_{0.5}N_{0.5}層に対するTi/Al電極の接触抵抗の測定結果について説明する。

【0019】図1はこの接触抵抗測定用試料の平面図、図2は図1のII-II線に沿っての断面図である。

【0020】図1および図2に示すように、この接触抵抗測定用試料においては、c面サファイア基板1上にAlNまたはGa_{0.5}N_{0.5}からなる低温成長によるバッファ層（図示せず）を介してn型Ga_{0.5}N_{0.5}層2が積層され、このn型Ga_{0.5}N_{0.5}層2上にTi/Al電極3が設けられている。ここで、n型Ga_{0.5}N_{0.5}層2の厚さは3μm、キャリア濃度（電子濃度）は 10^{18}cm^{-3} である。また、Ti/Al電極3は、円形の第1の電極部3aが第2の電極部3bにより所定の間隔をもって取り囲まれている構造を有する。ここで、第1の電極部3aの直径は200μmとし、第1の電極部3aと第2の電極部3bとの間隔は1μmから10μmの範囲内で4水準に変化させた。

【0021】なお、このような構造の接触抵抗測定用試料を用いたのは、Ga_{0.5}N_{0.5}はウエットエッチングが困難であるので、被測定部以外の部分を除去する必要がない構造を用いるのが好ましいからである。

【0022】この接触抵抗測定用試料は次のようにして作製した。すなわち、c面サファイア基板1上にAlNまたはGa_{0.5}N_{0.5}からなるバッファ層（図示せず）を介してn型Ga_{0.5}N_{0.5}層2を成長させた後、n型Ga_{0.5}N_{0.5}層2上に通常のリフトオフ法によりTi/Al電極3を形成する。

【0023】この接触抵抗測定用試料の作製直後（as-depo状態）のTi/Al電極3の接触抵抗を測定したところ、 $0.5\Omega\text{cm}^2$ であった。また、この接触抵抗測定用試料をN₂ガス雰囲気中において800℃、10秒の条件で熱処理した後に接触抵抗を測定したところ、 $1.5\times10^{-6}\Omega\text{cm}^2$ まで低下した。

【0024】次に、n型Ga_{0.5}N_{0.5}層2のキャリア濃度が 10^{17}cm^{-3} であることを除いて上述と同様な構造を有する接触抵抗測定用試料を作製し、上述と同様な熱処理を行った後にTi/Al電極3の接触抵抗を測定したところ、 $1.5\times10^{-4}\Omega\text{cm}^2$ であった。一般に、FETのチャネル層のキャリア濃度は $(1\sim5)\times10^{17}\text{cm}^{-3}$ であるが、この程度のキャリア濃度のときには上述のようにTi/Al電極3の接触抵抗は $10^{-4}\Omega\text{cm}^2$ 台と大きいので、このTi/Al電極3をソース電極およびドレイン電極として用いたFETの性能は低下する。

【0025】なお、上述のように熱処理によりTi/Al電極3の接触抵抗が小さくなるのは、Ti/Al電極3とn型GaN層2との合金化が進んでいるためではなく、熱処理によりTi/Al電極3とn型GaN層2との間の絶縁層または空間層がなくなり、本来のショットキ障壁が生じたためである。

【0026】次に、アンドープGaN層に対するTi/Al電極の接触抵抗の測定結果について説明する。

【0027】この接触抵抗測定用試料の平面図は図1に示すと同様であるが、図1のII-II線に沿っての断面図は図3に示すようになっている。

【0028】図1および図3に示すように、この接触抵抗測定用試料においては、c面サファイア基板1上にAlNまたはGaNからなる低温成長によるバッファ層（図示せず）を介してアンドープGaN層4およびアンドープGaN層5が順次積層され、アンドープGaN層5上にTi/Al電極3が設けられている。ここで、アンドープGaN層4の厚さは2μmである。また、アンドープGaN層5の厚さは0.3μmである。このアンドープGaN層5は、アンドープであるが、キャリア濃度は約 $2 \times 10^{17} \text{ cm}^{-3}$ であった。また、X線回折による測定の結果、このアンドープGaN層5のIn組成比は0.13であった。Ti/Al電極3の構造は上述の接触抵抗測定用試料と同様である。

【0029】この接触抵抗測定用試料は次のようにして作製した。すなわち、c面サファイア基板1上にAlNまたはGaNからなるバッファ層（図示せず）を介してアンドープGaN層4およびアンドープGaN層5を順次成長させた後、アンドープGaN層5上に通常のリフトオフ法によりTi/Al電極3を形成する。

【0030】この接触抵抗測定用試料の作製直後のTi/Al電極3の接触抵抗を測定したところ、 $0.2 \Omega \text{ cm}^2$ と高かったが、この接触抵抗測定用試料をN₂ガス雰囲気中において800℃、10秒の条件で熱処理した後に接触抵抗を測定したところ、 $2 \times 10^{-6} \Omega \text{ cm}^2$ まで低下した。これより、アンドープGaN層5のキャリア濃度が上述のように約 $2 \times 10^{17} \text{ cm}^{-3}$ と低いにもかかわらず、小さな接触抵抗が得られることがわかる。これは、GaNのGaをInにより一部置換したアンドープGaN層5はGaNに比べてショットキ障壁が低くなり、電流が流れやすくなったためと考えられる。この接触抵抗の低下がショットキ障壁の低下によるものとすると、In組成比の増加によりさらなる接触抵抗の低下が期待される。

【0031】次に、この発明の第1の実施形態によるGaN MESFETについて説明する。図4はこの第1の実施形態によるGaN MESFETを示し、図5はこのGaN MESFETのエネルギーバンド図を示す。なお、図5において、E_Fはフェルミ準位、E_vは

伝導帯の下端のエネルギー、E_cは価電子帯の頂上のエネルギーを示す（以下同様）。

【0032】図4に示すように、この第1の実施形態によるGaN MESFETにおいては、c面サファイア基板11上に、AlNまたはGaNからなる低温成長によるバッファ層（図示せず）を介して、アンドープGaN層12およびチャネル層としてのn型GaN層13が順次積層されている。アンドープGaN層12の厚さは例えば2μmである。また、n型GaN層13の厚さは例えば160nm、キャリア濃度は例えば $4 \times 10^{17} \text{ cm}^{-3}$ である。ソース電極およびドレイン電極形成部におけるn型GaN層13上には、所定形状のSiドープn型GaN層14が、n型GaN層13に接触してそれぞれ設けられている。このn型GaN層14の厚さは例えば200nm、In組成比は例えば0.13、キャリア濃度は例えば $3 \times 10^{18} \text{ cm}^{-3}$ である。これらのn型GaN層14の間のチャネル部におけるn型GaN層13およびこれらのn型GaN層14を覆うようにSiO₂膜15が設けられている。このSiO₂膜15の厚さは例えば200nmである。これらのn型GaN層14の間の部分におけるSiO₂膜15には開口15aが設けられ、この開口15aを通じてn型GaN層13上に例えばTi/W構造のゲート電極16が、このn型GaN層13とショットキ接触して設けられている。また、n型GaN層14の上側の部分におけるSiO₂膜15には開口15b、15cがそれぞれ設けられ、これらの開口15b、15cを通じてn型GaN層14上に例えばTi/Al構造のソース電極17およびドレイン電極18がn型GaN層14とオーミック接触してそれぞれ設けられている。

【0033】次に、上述のように構成されたこの第1の実施形態によるGaN MESFETの製造方法について説明する。

【0034】図4に示すように、まず、c面サファイア基板11上にAlNまたはGaNからなるバッファ層を介してアンドープGaN層12およびn型GaN層13を順次成長させる。

【0035】次に、CVD法によりn型GaN層13の全面にSiO₂膜（図示せず）を形成した後、リソグラフィおよびエッチングによりこのSiO₂膜をパターンニングしてチャネル部上のみこのSiO₂膜を残す。

【0036】次に、このようにしてパターンニングされたSiO₂膜を成長マスクとして用いて、このSiO₂膜により覆われていない部分のn型GaN層13上にn型GaN層14を選択的に成長させる。

【0037】次に、このSiO₂膜をエッチング除去した後、CVD法により再度全面にSiO₂膜15を形成した後、リソグラフィおよびエッチングによりこのS

SiO₂膜15をパターニングして開口15b、15cを形成する。次に、このパターニングに用いられたレジストパターンをそのまま残した状態で例えば真空蒸着法により全面に例えばTi/Al膜を形成した後、レジストパターンをその上に形成されたTi/Al膜とともに除去する(リフトオフ)。これによって、n型GaInNコンタクト層14上にソース電極17およびドレイン電極18が形成される。この後、ソース電極17およびドレイン電極18の接触抵抗を低くするために、例えば800℃、10秒の条件で熱処理を行う。

【0038】次に、図示は省略するが、必要に応じて、このFET部以外の部分にHeのイオン注入を行うことにより素子分離を行う。

【0039】次に、リソグラフィおよびエッチングによりチャネル部上のSiO₂膜15に開口15aを形成する。次に、全面にTi/W膜を形成した後、このTi/W膜をリソグラフィおよびエッチングによりパターニングして、開口15aを通じてn型GaInN層13にショットキ接触したゲート電極16を形成する。

【0040】以上により、目的とするGaInN MESFETが製造される。

【0041】以上のように、この第1の実施形態によれば、n型GaInNコンタクト層14を介してn型GaInN層13上にソース電極17およびドレイン電極18が設けられていることにより、ソース電極17およびドレイン電極18の接触抵抗を十分に低くすることができる。これによって、チャネル層として用いられているn型GaInN層13の特徴を十分に発揮させることができ、高性能、高速、大電力のGaInN MESFETを実現することができる。

【0042】次に、この発明の第2の実施形態によるAlGaInN/GaN HEMTについて説明する。図6はこの第2の実施形態によるAlGaInN/GaN HEMTを示し、図7はこのAlGaInN/GaN HEMTのエネルギーバンド図である。なお、図6においては、図4に示す第1の実施形態によるGaInN MESFETと同一または対応する部分には同一の符号を付す。

【0043】図6に示すように、この第2の実施形態によるAlGaInN/GaN HEMTにおいては、c面サファイア基板11上に、AlNまたはGaInNからなる低温成長によるバッファ層(図示せず)を介して、チャネル層としてのアンドープGaInN層12が積層されている。チャネル部におけるこのアンドープGaInN層12上には、電子供給層としてのn型AlGaInN層19およびアンドープAlGaInN層20が順次積層されている。アンドープGaInN層12の厚さは例えば3μmである。n型AlGaInN層19の厚さは例えば10nm、Al組成比は例えば0.2、キャリア濃度は例えば10¹⁸cm⁻³である。また、アンドープAlGaInN層20の厚さは例えば40nm、Al組成比は例えば0.2である。ソー

ス電極およびドレイン電極形成部におけるアンドープGaInN層12上には、所定形状のn型GaInNコンタクト層14がn型AlGaInN層19およびアンドープAlGaInN層20の両側壁にそれぞれ接触して設けられている。第1の実施形態におけると同様に、このn型GaInNコンタクト層14の厚さは例えば200nm、In組成比は例えば0.13、キャリア濃度は例えば3×10¹⁸cm⁻³である。その他のことは、第1の実施形態によるGaInN MESFETと同様であるので、説明を省略する。

【0044】次に、上述のように構成されたこの第2の実施形態によるAlGaInN/GaN HEMTの製造方法について説明する。

【0045】図6に示すように、まず、c面サファイア基板11上にAlNまたはGaInNからなるバッファ層を介してアンドープGaInN層12、n型AlGaInN層19およびアンドープAlGaInN層20を順次成長させる。

【0046】次に、CVD法によりアンドープAlGaInN層20の全面にSiO₂膜(図示せず)を形成した後、リソグラフィおよびエッチングによりこのSiO₂膜をパターニングしてチャネル部上にのみこのSiO₂膜を残す。このSiO₂膜の厚さは例えば500nmである。

【0047】次に、このようにしてパターニングされたSiO₂膜をエッチングマスクとして用いて、気相エッチング法により、アンドープAlGaInN層20およびn型AlGaInN層19をエッチングする。このエッチングは、少なくともアンドープGaInN層12が露出するまで行う。

【0048】次に、このSiO₂膜を成長マスクとして用いて、このSiO₂膜により覆われていない部分のn型GaInN層12上にn型GaInNコンタクト層14を選択的に成長させる。

【0049】この後の工程は、第1の実施形態によるGaInN MESFETと同様であるので、説明を省略する。以上により、目的とするAlGaInN/GaN HEMTが製造される。

【0050】この第2の実施形態によれば、ソース電極17およびドレイン電極18の接触抵抗が十分に低い、高性能、高速、大電力のAlGaInN/GaN HEMTを実現することができる。

【0051】次に、この発明の第3の実施形態によるAlGaInN/GaInN HEMTについて説明する。図8はこの発明の第3の実施形態によるAlGaInN/GaInN HEMTを示す断面図、図9はこの第3の実施形態によるAlGaInN/GaInN HEMTのエネルギーバンド図である。

【0052】図8に示すように、この第3の実施形態によるAlGaInN/GaInN HEMTにおいては、アンドープGaInN層12とn型AlGaInN層19との間に

アンドープGaInN層21が設けられている。この場合、このアンドープGaInN層21がチャネル層として用いられる。このアンドープGaInN層21の厚さは例えば15nmである。その他のことは、第2の実施形態によるAlGaIn/GaN HEMTと同様であるので、説明を省略する。

【0053】この第3の実施形態によるAlGaIn/GaN HEMTの製造方法は、第2の実施形態によるAlGaIn/GaN HEMTの製造方法と同様であるので、説明を省略する。

【0054】この第3の実施形態によれば、GaInNの移動度はGaNの移動度よりも大きいので、第2の実施形態によるAlGaIn/GaN HEMTと比べてさらに高速の高性能のAlGaIn/GaN HEMTを実現することができる。

【0055】以上、この発明の実施形態について具体的に説明したが、この発明は、上述の実施形態に限定されるものではなく、この発明の技術的思想に基づく各種の変形が可能である。

【0056】例えば、上述の実施形態において挙げた数値はあくまでも例に過ぎず、必要に応じてこれと異なる数値を用いてもよい。具体的には、上述の第1の実施形態においては、n型GaInNコンタクト層14の厚さを200nmとしているが、このn型GaInNコンタクト層14の厚さはこれより小さくてもよく、例えば10nm程度であつてもよい。また、上述の第1の実施形態においては、n型GaInNコンタクト層14のIn組成比を0.13としているが、これと異なる値のIn組成比を用いてもよい。なお、In組成比が大きいほど、このn型GaInNコンタクト層14とn型GaN層12との間のショットキ障壁の高さは低くなる。

【0057】

【発明の効果】以上説明したように、この発明による半導体装置によれば、GaN層と電極との間に、少なくともGa、InおよびNを含む半導体層が設けられ、半導

体層に電極がオーミック接触していることにより、実効的にGaN層に対して電極を低接触抵抗でオーミック接触させることができる。

【図面の簡単な説明】

【図1】n型GaN層に対するTi/Al電極の接触抵抗の測定に用いた試料を示す平面図である。

【図2】図1のII-II線に沿っての断面図である。

【図3】アンドープGaInN層に対するTi/Al電極の接触抵抗の測定に用いた試料を示す断面図である。

10 【図4】この発明の第1の実施形態によるGaN MESFETを示す断面図である。

【図5】この発明の第1の実施形態によるGaN MESFETのエネルギーバンド図である。

【図6】この発明の第2の実施形態によるAlGaIn/GaN HEMTを示す断面図である。

【図7】この発明の第2の実施形態によるAlGaIn/GaN HEMTのエネルギーバンド図である。

【図8】この発明の第3の実施形態によるAlGaIn/GaN HEMTを示す断面図である。

20 【図9】この発明の第3の実施形態によるAlGaIn/GaN HEMTのエネルギーバンド図である。

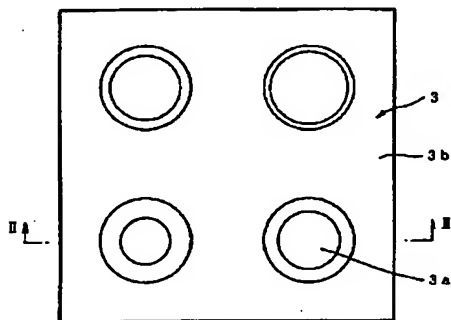
【図10】従来のGaNトランジスタを示す断面図である。

【図11】他の従来のGaNトランジスタを示す断面図である。

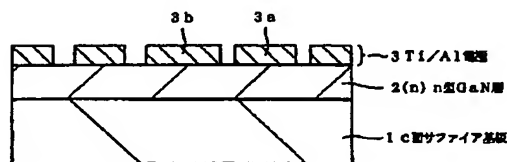
【符号の説明】

1、11・・・c面サファイア基板、2、13・・・n型GaN層、3・・・Ti/Al電極、4、12・・・アンドープGaN層、5・・・アンドープGaInN層、14・・・n型GaInNコンタクト層、15・・・SiO₂膜、16・・・ゲート電極、17・・・ソース電極、18・・・ドレイン電極、19・・・n型AlGaIn層、20・・・アンドープAlGaIn層、21・・・アンドープGaInN層

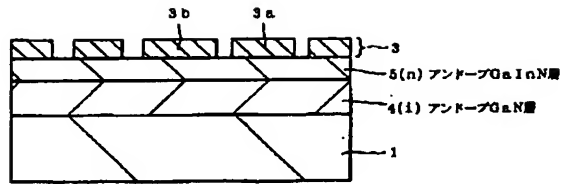
【図1】



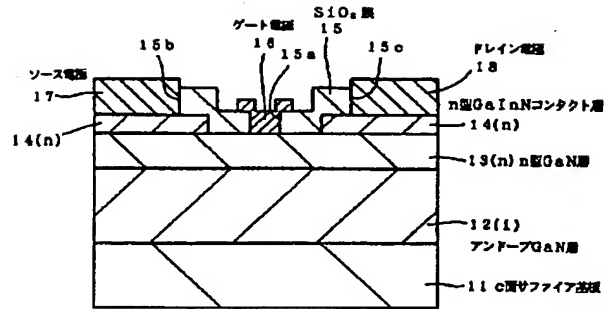
【図2】



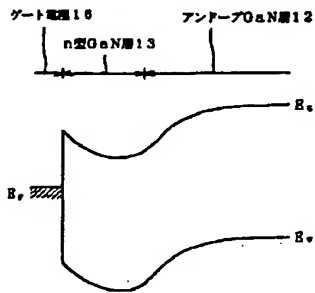
【図3】



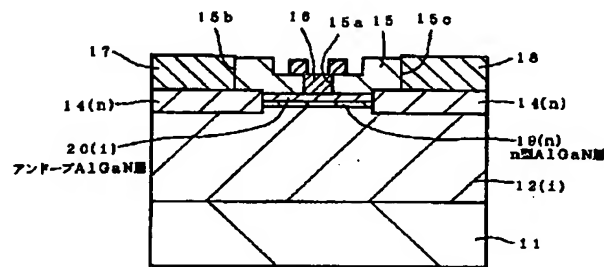
【図4】



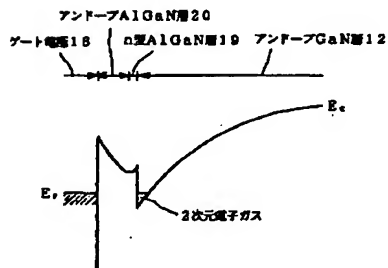
【図5】



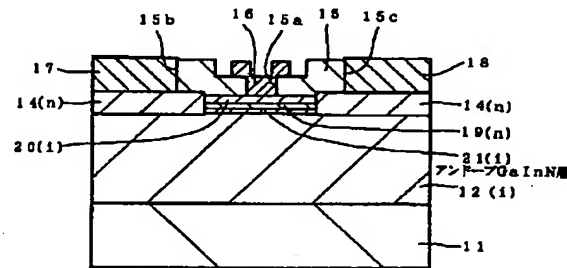
【図6】



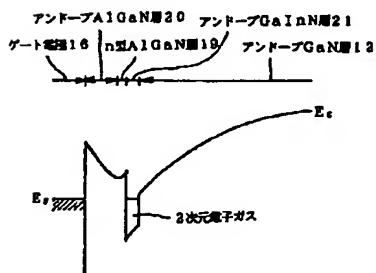
【図7】



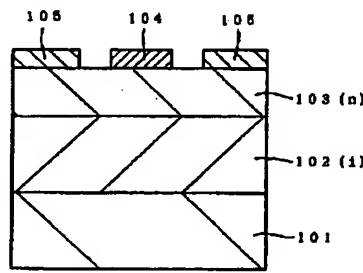
【図8】



【図9】



【図10】



【図11】

